

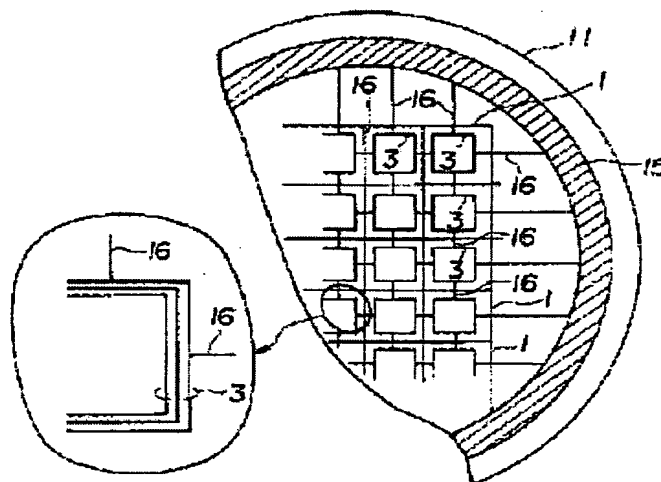
METHOD OF MANUFACTURING IC ELEMENT

Patent number: JP2002343877
Publication date: 2002-11-29
Inventor: SHIMIZU SHIN; KAWAMURA TETSUSHI
Applicant: HITACHI MAXELL
Classification:
- international: *G06K19/07; G06K19/077; H01L21/822; H01L27/04; H01Q1/36; H01Q1/38; H01Q7/00; H01Q23/00; G06K19/07; G06K19/077; H01L21/70; H01L27/04; H01Q1/36; H01Q1/38; H01Q7/00; H01Q23/00; (IPC1-7): H01L21/822; G06K19/07; G06K19/077; H01L27/04; H01Q1/36; H01Q1/38; H01Q7/00; H01Q23/00*
- european:
Application number: JP20020020219 20020129
Priority number(s): JP20020020219 20020129; JP19990046545 19990224; JP19990059753 19990308

Report a data error here

Abstract of JP2002343877

PROBLEM TO BE SOLVED: To provide a method of manufacturing at high efficiency a high- performance IC element on which a coil is integrally formed. **SOLUTION:** Required conductive patterns 15, 16 containing antenna coils 3 are formed on a surface protective film 2 of a finished wafer 11 manufactured via prescribed processes. Then, the finished wafer 11, on which the required conductive patterns 15, 16 are formed, is scribed to obtain IC elements 1 on each of which an antenna coil 3 is integrally formed.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-343877

(P2002-343877A)

(43) 公開日 平成14年11月29日 (2002. 11. 29)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L 21/822		H 0 1 Q 1/36	5 B 0 3 5
G 0 6 K 19/07		1/38	5 F 0 3 8
19/077		7/00	5 J 0 2 1
H 0 1 L 27/04		23/00	5 J 0 4 6
H 0 1 Q 1/36		H 0 1 L 27/04	
審査請求 有 請求項の数 1 O L (全 11 頁) 最終頁に続く			

(21) 出願番号 特願2002-20219(P2002-20219)
(62) 分割の表示 特願2000-44765(P2000-44765)の分割
(22) 出願日 平成12年2月22日(2000. 2. 22)
(31) 優先権主張番号 特願平11-46545
(32) 優先日 平成11年2月24日(1999. 2. 24)
(33) 優先権主張国 日本(J P)
(31) 優先権主張番号 特願平11-59753
(32) 優先日 平成11年3月8日(1999. 3. 8)
(33) 優先権主張国 日本(J P)

(71) 出願人 000005810
日立マクセル株式会社
大阪府茨木市丑寅1丁目1番88号
(72) 発明者 清水 伸
大阪府茨木市丑寅一丁目1番88号 日立マクセル株式会社内
(72) 発明者 川村 哲士
大阪府茨木市丑寅一丁目1番88号 日立マクセル株式会社内
(74) 代理人 100078134
弁理士 武 顯次郎 (外1名)

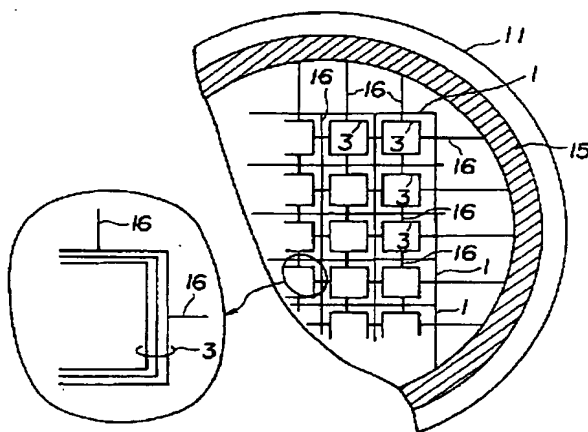
最終頁に続く

(54) 【発明の名称】 I C素子の製造方法

(57) 【要約】

【課題】 コイルが一体形成された高性能なI C素子を高能率に製造する方法を提供する。

【解決手段】 所定のプロセスを経て作製された完成ウエハ11の表面保護膜2上にアンテナコイル3を含む所要の導電パターン15、16を形成する。しかる後に、当該所要の導電パターン15、16が形成された完成ウエハ11をスクライビングしてアンテナコイル3が一体形成されたI C素子1を得る。



【特許請求の範囲】

【請求項1】 所定のプロセスを経て作製された完成ウエハの表面保護膜上にアンテナコイルを含む所要の導電パターンを形成した後、当該所要の導電パターンが形成された完成ウエハをスクライビングしてアンテナコイルが一体形成されたＩＣ素子を得ることを特徴とするＩＣ素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、チップ上にコイルが一体形成されたＩＣ素子の製造方法に関する。

【0002】

【従来の技術】 従来より、所定形状の基体内にＩＣ素子と当該ＩＣ素子の端子部に電気的に接続されたアンテナコイルとを備え、リーダライタからの電力の受給及びリーダライタとの間の信号の送受信を電磁波を用いて非接触で行う非接触式の情報担体が知られている。この種の情報担体としては、その外形により、カード形、コイン形又はボタン形などがある。

【0003】 従来、この種の情報担体としては、アンテナコイルを基体にパターン形成したもの、或いは、巻線からなるアンテナコイルを基体に担持したものが用いられているが、近年に至って、アンテナコイルとＩＣ素子との接続点の保護処理や防湿対策が不要で安価に作成できること、及び基体に曲げやねじれ等のストレスが作用した場合にもコイルに断線を生じることがなく耐久性に優れることから、ＩＣ素子自体にアンテナコイルが一体形成されたＩＣ素子を基体に搭載したものが提案されている。

【0004】 ＩＣ素子にアンテナコイルを形成する方法としては、スパッタ法が用いられており、ＩＣ素子に一体形成されたアンテナコイルの導体は、アルミニウムのスパッタ膜から構成されている。

【0005】

【発明が解決しようとする課題】 ところで、アンテナコイルをＩＣ素子に一体形成すると、アンテナコイルを基体全体にパターン形成したり、巻線からなるアンテナコイルを基体に担持する場合に比べて、コイルの巻径や導体幅が小さくなり、巻数についても自ずと限界があるため、リーダライタとの間の通信距離を大きくすることが困難で、必要な通信距離を確保することができない場合がある。

【0006】 本発明は、かかる従来技術の不備を解消するためになされたものであって、その目的は、アンテナコイルが一体形成された高性能なＩＣ素子を効率的に製造する方法を提供することにある。

【0007】

【課題を解決するための手段】 本発明は、前記の課題を達成するため、所定のプロセスを経て作製された完成ウエハの表面保護膜上にアンテナコイルを含む所要の導電

パターンを形成した後、当該所要の導電パターンが形成された完成ウエハをスクライビングしてアンテナコイルが一体形成されたＩＣ素子を得るという構成にした。

【0008】 このように、完成ウエハの表面保護膜上にアンテナコイルを含む所要の導電パターンを形成すると、個々のＩＣ素子にアンテナコイルを形成する場合に比べてコイルが一体形成されたＩＣ素子を高能率に製造でき、その製造コストを低減することができる。また、ウエハに形成された全てのＩＣ素子に対して均一な厚みのアンテナコイルを高精度に形成することが可能になるので、通信特性のばらつきを少なくすることができる。さらに、アンテナコイルを含む導電パターンや当該導電パターンのもとになる導体膜は、スパッタ法、真空蒸着法又はメッキ法などによって形成されるが、個々のＩＣ素子についてスパッタ法又は真空蒸着法及びメッキ法を用いてアンテナコイルを形成すると、ＩＣ素子の外周部に不要の導体が付着してＩＣ素子の絶縁性が問題になる。これに対して、完成ウエハにコイルを含む所要の導電パターンを形成した場合には、スパッタ時等において完成ウエハの外周部に不要の導体が付着しても、該部は不要部分としてもともと処分されるべき部分であるので、個々のＩＣ素子の絶縁性が問題になることもない。

【0009】

【発明の実施の形態】 〈ＩＣ素子〉 まず、本発明に係る方法によって製造されるＩＣ素子の構成を、図１及び図２に基づいて説明する。図１（ａ）、（ｂ）、（ｃ）はＩＣ素子の平面図、図２（ａ）、（ｂ）はＩＣ素子の要部断面図である。

【0010】 本例のＩＣ素子は、図１及び図２に示すように、ＩＣ素子１の入出力端子１ａの形成面側に、酸化シリコン膜や樹脂膜等の絶縁性の表面保護膜２を介して、矩形スパイラル形状のアンテナコイル３を一体に形成してなる。

【0011】 図１（ａ）のＩＣ素子１は、回路形成部４を除く外周部にのみアンテナコイル３を形成したものであって、ＩＣ素子１に形成された回路とアンテナコイル３との間における浮遊容量の発生を防止することができ、リーダライタからの電力の受給効率及びリーダライタとの間の信号の送受信効率を高めることができる。

【0012】 図１（ｂ）のＩＣ素子１は、回路形成部４と対向する部分までアンテナコイル３を形成したものであって、コイルの巻数を多くできることから、リーダライタからの電力の受給効率及びリーダライタとの間の信号の送受信効率を高めることができる。なお、図１

（ｂ）の例においては、アンテナコイル３を回路形成部４と対向する部分及びその外周部に形成したが、回路形成部４と対向する部分にのみ形成することもできる。

【0013】 図１（ｃ）のＩＣ素子１は、矩形スパイラル形状に形成されたアンテナコイル３の角の部分に斜めに面取りしたものであって、角部における電流集中を防

止してアンテナコイル3の抵抗値を低減することができ、リーダライタからの電力の受給効率及びリーダライタとの間の信号の送受信効率を高めることができる。面取りの形状は円弧状にしても同様の効果を得ることができる。また、面取りは各線の内周側及び外周側の双方に施すことが好ましいが、外周側にのみ施した場合にも効果がある。

【0014】いずれの場合にも、実用上十分な電力の供給を受け、かつ、リーダライタとの間の通信特性を確保するためには、前記アンテナコイル3の線幅を7 μ m以上、線間距離を5 μ m以下、巻数を20ターン以上とすることが好ましい。

【0015】IC素子1の入出力端子1aとアンテナコイル3との接続は、表面保護膜2に開設された透孔5を介して行われる。この場合、アンテナコイル3の形成位置が若干ずれた場合にも、入出力端子1aとアンテナコイル3との接続が確実に行われるように、図2(a)、(b)に示す如く、透孔5の直径又は幅をアンテナコイル3の線幅よりも小さくすることがより好ましい。

【0016】アンテナコイル3を構成する導体は、図2(a)、(b)に示すように、金属スパッタ層又は金属蒸着層6と金属めっき層7を含む多層構造になっている。図2(a)は、金属スパッタ層又は金属蒸着層6の上面にのみ金属めっき層7を形成した例であり、図2(b)は、金属スパッタ層又は金属蒸着層6の周面全体に金属めっき層7を形成した例を示している。前記金属スパッタ層又は金属蒸着層6及び金属めっき層7は、任意の導電性金属をもって形成することができるが、比較的安価で導電率が高いことから、金属スパッタ層又は金属蒸着層6についてはアルミニウム、ニッケル、銅及びクロムから選択される金属又はこれらの金属群から選択される2種以上の金属の合金で形成することが好ましく、均質な単層構造とするほか、異なる金属層又は合金層を多層に積層した他層構造とすることもできる。一方、前記金属めっき層7は、銅で形成することが好ましく、無電解めっき法又は電気めっき法若しくは精密電鍍法により形成することができる。

【0017】(IC素子の製造方法)以下、本発明に係るIC素子製造方法の実施形態例を、図3乃至図6に基づいて説明する。図3は所定のプロセス処理を経て完成されたいわゆる完成ウエハの平面図、図4は本発明に係るIC素子製造方法の第1例を示す工程図、図5は本発明に係るIC素子製造方法の第2例を示す工程図、図6はアンテナコイルを含む所要の導電パターンが形成された完成ウエハの平面図である。

【0018】図3に示すように、完成ウエハ11には、最外周部を除く内周部分に多数個のIC素子用の回路4が等間隔に形成されており、その回路形成面側には、所要の表面保護膜2が形成されている(図4及び図5参照)。

【0019】図4に示す第1実施形態例に係るIC素子製造方法では、まず図4(a)に示すように、完成ウエハ11の回路形成面に形成された表面保護膜2上に、アルミニウム又はアルミニウム合金若しくは銅又は銅合金を用いて、金属スパッタ層又は金属蒸着層6を均一に形成する。次いで、図4(b)に示すように、当該金属スパッタ層又は金属蒸着層6上にフォトレジスト層12を均一に形成し、形成されたフォトレジスト層12にコイルを含む所要のパターンが形成されたマスク13を被せ、マスク13の外側から所定波長の光14を照射してフォトレジスト層12を露光する。しかる後に露光されたフォトレジスト層12の現像処理を行い、図4(c)に示すように、フォトレジスト層12の露光部分を除去して、前記金属スパッタ層又は金属蒸着層6の前記露光パターンと対応する部分を露出させる。金属スパッタ層又は金属蒸着層6の露出パターンには、図6に示すように、リング状の電極部15と、前記各回路形成部4と対向する部分に形成されたアンテナコイル3と、これら電極部15と各アンテナコイル3とを連結するリード部16とが含まれる。次いで、前記電極部15を一方の電極として、金属スパッタ層又は金属蒸着層6の露出部分に電気めっき又は精密電鍍を施し、図4(d)に示すように、金属スパッタ層又は金属蒸着層6の露出部分に金属めっき層7を積層する。次いで、完成ウエハ11の表面に付着したフォトレジスト層12をアッシング処理等によって除去し、図4(e)に示すように、均一な金属スパッタ層又は金属蒸着層6上に電極部15とアンテナコイル3とリード部16とを有する金属めっき層7が形成された完成ウエハ11を得る。次いで、金属めっき層7より露出した金属スパッタ層又は金属蒸着層6を選択的にエッチングし、図4(f)に示すように、金属めっき層7より露出した金属スパッタ層又は金属蒸着層6を除去する。これによって、金属スパッタ層又は金属蒸着層6と金属めっき層7とが共に図6に示す所要の導電パターンに形成された完成ウエハ11が得られる。最後に、前記完成ウエハ11をスクライビングして、図1に示す所要のIC素子1を得る。

【0020】なお、前記実施形態例においては、金属めっき層7の形成手段として電気めっき法又は精密電鍍法を用いたが、かかる構成に代えて、無電解めっき法を用いて前記金属めっき層7を形成することもできる。この場合には、金属めっき層7の形成に電極を必要としないので、フォトレジスト層12の露光に際して、電極部15の形成とリード部16の形成が不要になる。

【0021】無電解めっきは、化学めっきとも呼ばれ、素地金属をめっき金属の金属塩溶液中に浸して金属イオンを素地表面に析出させるもので、比較的簡単な設備で密着力が強く均一で十分な厚みを有するめっき層が得られるという特徴がある。前記金属塩は、めっきする金属イオンの供給源となるものであり、銅をめっきする場合

には、硫酸銅、塩化第二銅、硝酸銅等の溶液がめっき液として用いられる。銅などの金属イオンは、素地となる金属スパッタ層又は金属蒸着層6上にのみに析出し、絶縁性の表面保護層2上には析出しない。素地材は、めっき金属イオンに対してイオン化傾向が小さく、かつ、めっき金属イオンの析出に対する触媒作用をもつ必要がある。このため、アルミニウムからなる金属スパッタ層又は金属蒸着層6上に銅をめっきする場合には、アルミニウム層の表面にニッケルを数 μ m以下の厚さに形成し、硝酸亜鉛液に数秒間浸して亜鉛に置換する前処理を施すことが好ましい。

【0022】一方、電気めっき法及び精密電鍍法は、めっき金属のイオンを含むめっき浴中に金属スパッタ層又は金属蒸着層6が形成された完成ウエハ11とめっき金属からなる電極とを浸漬し、完成ウエハ11に形成された金属スパッタ層又は金属蒸着層6を陰極、めっき浴中に浸漬された電極を陽極として電圧を印加し、めっき浴中の金属イオンを金属スパッタ層又は金属蒸着層6の表面に析出させる方法である。電気めっき法及び精密電鍍法も、銅をめっきする場合には、硫酸銅、塩化第二銅、硝酸銅等の溶液がめっき液として用いられる。

【0023】本例のIC素子製造方法は、完成ウエハ11にコイルを含む所要の導電パターンを形成し、しかる後に完成ウエハ11をスクライビングして所要のIC素子1を得るという構成にしたので、個々のIC素子にコイルを形成する場合に比べてコイルが一体形成されたIC素子を高能率に製造でき、その製造コストを低減することができる。また、ウエハに形成された全てのIC素子に対して均一な厚みのコイルを高精度に形成することができるので、通信特性のばらつきを小さくすることができる。さらに、個々のIC素子についてスパッタ法又は真空蒸着法及びメッキ法を用いてコイルを形成すると、IC素子の外周部に不要の導体が付着してIC素子の絶縁性が問題になるが、完成ウエハ11にコイルを含む所要の導電パターンを形成した場合には、スパッタ時等において完成ウエハ11の外周部に不要の導体が付着しても、該部は不要部分としてもともと処分されるべき部分であるので、個々のIC素子の絶縁性に悪影響を与えることもない。加えて、本例のIC素子製造方法は、フォトレジスト層12がある状態で金属めっき層7の形成を行い、しかる後に金属スパッタ層又は金属蒸着層6の金属めっき層7が積層されていない部分をエッチングによって除去するようにしたので、図2(a)に示すように、金属めっき層7が金属スパッタ層又は金属蒸着層6の上面にのみ積層され、幅方向に広がらないので、精密なアンテナコイル3を形成することができ、狭い面積内に巻数の多いアンテナコイル3を形成することができる。

【0024】一方、図5に示す第2実施形態例に係るIC素子製造方法では、図5(a)に示すように、完成ウ

エハ11に形成された表面保護膜2上にフォトレジスト層12を均一に形成し、形成されたフォトレジスト層12にコイルを含む所要のパターンが形成されたマスク13を被せ、マスク13の外側から所定波長の光14を照射してフォトレジスト層12を露光する。しかる後に露光されたフォトレジスト層12の現像処理を行い、図5(b)に示すように、フォトレジスト層12の露光部分を除去して、表面保護膜2の前記露光パターンと対応する部分を露出させる。フォトレジスト層12の露光パターンは、図6に示すように、電極部15とアンテナコイル3とリード部16とを含む形状にすることができる。次いで、現像処理後の完成ウエハ11をスパッタ装置又は真空蒸着装置に装着し、図5(c)に示すように、前記表面保護膜2の露出部分に金属スパッタ層又は金属蒸着層6を形成する。次いで、図5(d)に示すように、完成ウエハ11に付着したフォトレジスト層12をアシッシング処理等によって除去した後、電極部15を一方の電極として、金属スパッタ層又は金属蒸着層6に電気めっきを施し、図5(e)に示すように、金属スパッタ層又は金属蒸着層6の露出部分に金属めっき層7を積層する。最後に、前記完成ウエハ11をスクライビングして、図1に示す所要のIC素子1を得る。

【0025】なお、前記実施形態例においては、金属めっき層7の形成手段として電気めっき法を用いたが、かかる構成に代えて、無電解めっき法を用いて前記金属めっき層7を形成することもできる。この場合には、金属めっき層7の形成に電極を必要としないので、フォトレジスト層12の露光に際して、電極部15の形成とリード部16の形成が不要になる。

【0026】本例のIC素子製造方法は、前記第1実施形態例に係るIC素子製造方法と同様の効果を有するほか、完成ウエハ11に導電パターンを形成するための工程数を少なくできるので、アンテナコイルが一体形成されたIC素子をより高能率に製造することができる。

【0027】〈情報担体〉以下、本発明に係る方法で製造されたIC素子を搭載してなる情報担体の構成例を、図7乃至図17に基づいて説明する。図7は第1構成例に係る情報担体の一部切断した平面図、図8は第1構成例に係る情報担体の分解斜視図、図9は第1構成例に係る情報担体の断面図、図10は第1構成例に係る情報担体の使用状態の説明図、図11は第2構成例に係る情報担体の断面図、図12は第3構成例に係る情報担体の断面図、図13は第4構成例に係る情報担体の断面図、図14は第5構成例に係る情報担体の断面図、図15は第6構成例に係る情報担体の断面図、図16は第7構成例に係る情報担体の断面図、図17は第8構成例に係る情報担体の断面図である。

【0028】第1構成例に係る情報担体20aは、図7乃至図9に示すように、平面形状が円形に形成されたコイル形の基体21と、当該基体21の平面方向及び厚さ

方向の中心部に設定されたＩＣ素子１とからなる。ＩＣ素子１としては、図１及び図２に示すように、アンテナコイルが一体形成されたものが用いられる。

【００２９】基体２１は、図８及び図９に示すように、上部材２２と中間部材２３と下部材２４とから構成されており、それぞれ接着剤層２５を介して一体に接合されている。基体２１を構成する各部材２２、２３、２４は、紙材又はプラスチックシートをもって形成することができるが、廃棄後に自然分解し、焼却しても有害ガスの発生量が少なく、価格的にも安価であることから、紙材をもって作製することが特に好ましい。また、前記各部材２２、２３、２４の１つ又は２つを紙材にて形成し、他の１つ又は２つをプラスチックシートにて形成することももちろん可能である。

【００３０】前記中間部材２３の中央部には、ＩＣ素子１を内挿可能な透孔２７が開設されており、前記各部材２２、２３、２４を接合することによって形成される空間内にＩＣ素子１が収納される。なお、ＩＣ素子１は、取扱時の動揺を防止するために下部材２４に接着することが好ましい。この場合、下部材２４の片面に接着剤層２５を均一に形成しておき、この接着剤層２５を利用して中間部材２３と下部材２４との接着と、下部材２４とＩＣ素子１との接着を行うようにすることが、コスト状有利である。また、透孔２７の平面形状は任意の形状とすることができるが、中間部材２３と下部材２４とを接合することによって形成される凹部にＩＣ素子１を収納する際、当該凹部とＩＣ素子１の回転方向の向きを厳密に合わせる必要がないことから、図７及び図８に示すように、円形の透孔２７を形成する方が製造上有利である。

【００３１】本例の情報担体２０ａは、ＩＣ素子１を円形に形成された基体２１の平面方向の中心部に配置したので、図１０に示すように、略半円形のスロット１０１と当該スロット１０１における円弧部の中心に備えられた非接触通信用のアンテナコイル１０２とを有するリーダライタ１００の前記スロット１０１内に情報担体２０を挿入することによって、自動的にＩＣ素子１に一体形成されたアンテナコイル３とリーダライタ１００に備えられたアンテナコイル１０２の心出しを行うことができ、両コイル３、１０２間の電磁結合係数を大きくできることから、リーダライタ１００から情報担体２０への電力の供給及びリーダライタ１００と情報担体２０との間の信号の送受信を確実に行うことができる。また、情報担体２０ａの平面形状を円形に形成したので、略半円形に形成されたスロット１０１に対する方向性がなく、使用の容易性に優れる。さらに、ＩＣ素子１を基体２１内に完全に収納したので、ＩＣ素子１の保護効果が高く耐久性に優れると共に、該部からＩＣ素子１が見えないので、美観にも優れる。

【００３２】第２構成例に係る情報担体２０ｂは、図１

１に示すように、上部材２２と中間部材２３と下部材２４との３部材をもって基体２１を構成すると共に、ＩＣ素子１の周囲に、アンテナコイル３とリーダライタに備えられたコイルとの間の電磁結合を強化するためのブースタコイル２８を同心円状に配置したことを特徴とする。図中の符号２９はブースタコイル２８を収納するための凹部を示しており、この凹部２９は中間部材２３の透孔２７の周囲にリング状に形成される。その他の構成については、前記第１構成例に係る情報担体２０ａと同じであるので、重複を避けるために説明を省略する。本例の情報担体２０ｂは、第１構成例に係る情報担体２０ａと同様の効果を有するほか、ＩＣ素子１の周囲にブースタコイル２８を同心円状に配置したので、ＩＣ素子１に一体形成されたアンテナコイル３とリーダライタ１００に備えられたアンテナコイル１０２との電磁結合をブースタコイル２８を介することによってより高いものとすることができ、より一層の電力供給の安定化及び信号送受信の安定化又は通信距離の増加を図ることができる。

【００３３】第３構成例に係る情報担体２０ｃは、図１２に示すように、上部材２２と下部材２４との２部材をもって基体２１を構成し、下部材２４にＩＣ素子１を収納するための凹部３０を形成したことを特徴とする。その他の構成については、前記第１構成例に係る情報担体２０ａと同じであるので、重複を避けるために説明を省略する。本例の情報担体２０ｃは、第１構成例に係る情報担体２０ａと同様の効果を有するほか、部品点数が少ないことから、情報担体のより一層の低コスト化を図ることができる。

【００３４】第４構成例に係る情報担体２０ｄは、図１３に示すように、上部材２２と下部材２４との２部材をもって基体２１を構成し、下部材２４にＩＣ素子１を収納するための第１凹部３０とブースタコイル２８を収納するための第２凹部２９を形成したことを特徴とする。その他の構成については、前記第３構成例に係る情報担体２０ｃと同じであるので、重複を避けるために説明を省略する。本例の情報担体２０ｄは、第２構成例に係る情報担体２０ｂと同様の効果を有するほか、部品点数が少ないことから、情報担体のより一層の低コスト化を図ることができる。

【００３５】第５構成例に係る情報担体２０ｅは、図１４に示すように、ＩＣ素子収納用の透孔２７が開設された上部材２２と当該透孔２７を有しない下部材２４との２部材をもって基体２１を構成し、上部材２２と下部材２４とを接合することによって形成される凹部内にＩＣ素子１を収納し、当該凹部内をポッティング樹脂３１で封止したことを特徴とする。その他の構成については、前記第１構成例に係る情報担体２０ａと同じであるので、重複を避けるために説明を省略する。本例の情報担体２０ｅは、ＩＣ素子１が基体をもって被覆されない点

を除いて、第1構成例に係る情報担体20aと同様の効果を有する。

【0036】第6構成例に係る情報担体20fは、図15に示すように、IC素子収納用の透孔27が開設されると共に当該透孔27の周囲にブースタコイル収納用の凹部29が同心に形成された上部材22と、前記透孔27及び凹部29を有しない下部材24との2部材をもって基体21を構成し、前記凹部29内にブースタコイル28を収納して当該凹部29内をポッティング樹脂31で封止すると共に、上部材22と下部材24とを接合することによって形成される凹部内にIC素子1を収納して当該凹部内をポッティング樹脂31で封止したことを特徴とする。その他の構成については、前記第5構成例に係る情報担体20eと同じであるので、重複を避けるために説明を省略する。本例の情報担体20fは、IC素子1が基体をもって被覆されない点を除いて、第1構成例に係る情報担体20aと同様の効果を有する。

【0037】第7構成例に係る情報担体20gは、図16に示すように、片面にIC素子1を収納するための凹部30が形成された1部材をもって基体21を構成し、前記凹部30内にIC素子1を収納して当該凹部30内をポッティング樹脂31で封止したことを特徴とする。その他の構成については、前記第5構成例に係る情報担体20eと同じであるので、重複を避けるために説明を省略する。本例の情報担体20gは、第5構成例に係る情報担体20eと同様の効果を有するほか、部品点数が少ないことから、情報担体のより一層の低コスト化を図ることができる。

【0038】第8構成例に係る情報担体20hは、図17に示すように、片面にIC素子1を収納するための第1凹部30とブースタコイル28を収納するための第2凹部29が形成された1部材をもって基体21を構成し、前記第1凹部30内にIC素子1を収納して当該凹部30内をポッティング樹脂31で封止すると共に、前記第2凹部29内にブースタコイル28を収納して当該凹部29内をポッティング樹脂31で封止したことを特徴とする。その他の構成については、前記第7構成例に係る情報担体20gと同じであるので、重複を避けるために説明を省略する。本例の情報担体20hは、第6構成例に係る情報担体20fと同様の効果を有するほか、部品点数が少ないことから、情報担体のより一層の低コスト化を図ることができる。

【0039】なお、前記各構成例においては、基体21の平面形状を円形に形成したが、その他、正方形、長方形、三角形又は多角形など、任意の形状に形成することができる。

【0040】また、前記第2、第4、第6及び第8構成例に係る情報担体においては、独立の別体に形成されたブースタコイル28を凹部又は透孔内に設置したが、かかる構成に代えて、基体21を構成するいずれかの部材

に、例えば印刷、メッキ或いはスパッタ等の手段によってブースタコイル28を直接形成することも可能である。

【0041】さらに、前記ブースタコイル28は、アンテナコイルと主に電磁結合する第1コイルとリーダライタに備えられた非接触通信用のコイルと主に電磁結合する第2コイルとからなり、前記第2コイルの直径が前記第1コイルの直径よりも大きく、かつこれら第1及び第2コイルが直列に接続されたものから構成することもできる。

【0042】〈情報担体の製造方法〉次に、本発明に係る方法で製造されたIC素子を搭載してなる情報担体の製造方法を、図18乃至図22に基づいて説明する。図18は本発明に係る情報担体の製造に使用される帯状素材の第1例を示す部分斜視図、図19は帯状素材の第2例を示す部分斜視図、図20は帯状素材の第3例を示す部分斜視図、図21は帯状素材の第4例を示す部分斜視図、図22は帯状素材の第5例を示す部分斜視図である。

【0043】本例の情報担体製造方法は、帯状に形成された1つの基体構成用の素材（帯状素材）にIC素子1を含む所要の搭載部品を設定し、次いで、必要に応じて、当該帯状素材の片面又は両面に他の帯状素材を接合するか搭載部品のポッティングを行い、しかる後に、単体の若しくは接合された帯状素材から所要の情報担体を打ち抜き形成することを特徴とする。本例に係る情報担体製造方法の実施には、図18に示すようにIC素子1を収納するための透孔27が一定間隔で開設された帯状素材41、図19に示すようにIC素子1を収納するための透孔27が一定間隔で開設されると共に各透孔27の周囲にブースタコイル28を収納するためのリング状の凹部29が同心に形成され、当該リング状の凹部29の底面に接着剤層32が塗布された帯状素材42、図20に示すようにIC素子1を収納するための凹部30が一定間隔で開設され、当該凹部30の底面に接着剤層32が塗布された帯状素材43、図21に示すようにIC素子1を収納するための第1凹部30が一定間隔で開設されると共に各第1凹部30の周囲にブースタコイル28を収納するためのリング状の第2凹部29が同心に形成され、これら各凹部29、30の底面に接着剤層32が塗布された帯状素材44、図22に示すように透孔や凹部を有さず片面に接着剤層25が均一に塗布帯状素材45が選択的に用いられる。

【0044】情報担体製造方法の第1例は、第1構成例に係る情報担体20aを製造するためのものであって、図18に示した1枚の帯状素材41と図22に示した2枚の帯状素材45を用いる。そして、まず帯状素材41の片面に接着剤層25を介して帯状素材45を接合し、IC素子1を収納可能な空間を有する帯状部材41、45の接合体を得る。次いで、前記空間内にIC素子1を

位置決めして収納し、接着剤層 25 を介して帯状素材 45 に接着する。次いで、帯状素材 41 の他面側にもう 1 枚の帯状素材 45 を接着剤層 25 を介して接合し、内部空間内に IC 素子 1 が収納された帯状部材 41、45 の接合体を得る。最後に、この接合体を所定の形状に切断して、第 1 構成例に係る情報担体 20a を得る。本例の情報担体製造方法は、帯状素材 41、45 に多数の IC 素子 1 をケーシングし、しかる後にこの帯状素材 41、45 から所要の情報担体を打ち抜き形成するので、同一の情報担体を高能率に製造することができ、情報担体の製造コストを低減することができる。

【0045】情報担体製造方法の第 2 例は、第 2 構成例に係る情報担体 20b を製造するためのものであって、図 19 に示した 1 枚の帯状素材 42 と図 22 に示した 2 枚の帯状素材 45 を用いる。そして、まず帯状素材 42 に形成されたリング状の凹部 29 内にブースタコイル 28 を収納し、接着剤層 32 を介して当該凹部 29 の底面に接着する。次いで、帯状素材 42 の片面に接着剤層 25 を介して帯状素材 45 を接合し、IC 素子 1 を収納可能な空間を有する帯状部材 42、45 の接合体を得る。次いで、前記空間内に IC 素子 1 を位置決めして収納し、接着剤層 25 を介して帯状素材 45 に接着する。次いで、帯状素材 41 の他面側にもう 1 枚の帯状素材 45 を接着剤層 25 を介して接合し、内部空間内に IC 素子 1 が収納された帯状部材 42、45 の接合体を得る。最後に、この接合体を所定の形状に切断して、第 2 構成例に係る情報担体 20b を得る。本例の情報担体製造方法も、第 1 例に係る情報担体製造方法と同様の効果を有する。

【0046】本発明に係る情報担体製造方法の第 3 例は、第 3 構成例に係る情報担体 20c を製造するためのものであって、図 20 に示した 1 枚の帯状素材 43 と図 22 に示した 1 枚の帯状素材 45 を用いる。そして、まず帯状素材 43 に形成された凹部 30 内に IC 素子 1 を位置決めして収納し、接着剤層 32 を介して当該凹部 30 の底面に接着する。次いで、帯状素材 43 の凹部形成面側に帯状素材 45 を接着剤層 25 を介して接合し、内部空間内に IC 素子 1 が収納された帯状部材 43、45 の接合体を得る。最後に、この接合体を所定の形状に切断して、第 3 構成例に係る情報担体 20c を得る。本例の情報担体製造方法も、第 1 例に係る情報担体製造方法と同様の効果を有する。

【0047】情報担体製造方法の第 4 例は、第 4 構成例に係る情報担体 20d を製造するためのものであって、図 21 に示した 1 枚の帯状素材 44 と図 22 に示した 1 枚の帯状素材 45 を用いる。そして、まず帯状素材 44 に形成された第 1 凹部 30 内に IC 素子 1 を位置決めして収納し、接着剤層 32 を介して当該凹部 30 の底面に接着すると共に、当該帯状素材 44 に形成されたリング状の第 2 凹部 29 内にブースタコイル 28 を収納し、接

着剤層 32 を介して当該凹部 29 の底面に接着する。次いで、帯状素材 44 の凹部形成面側に帯状素材 45 を接着剤層 25 を介して接合し、内部空間内に IC 素子 1 が収納された帯状部材 44、45 の接合体を得る。最後に、この接合体を所定の形状に切断して、第 3 構成例に係る情報担体 20c を得る。本例の情報担体製造方法も、第 1 例に係る情報担体製造方法と同様の効果を有する。

【0048】情報担体製造方法の第 5 例は、第 5 構成例に係る情報担体 20e を製造するためのものであって、図 18 に示した 1 枚の帯状素材 41 と図 22 に示した 1 枚の帯状素材 45 を用いる。そして、まず帯状素材 41 の片面に接着剤層 25 を介して帯状素材 45 を接合し、IC 素子 1 を収納可能な空間を有する帯状部材 41、45 の接合体を得る。次いで、前記空間内に IC 素子 1 を位置決めして収納し、接着剤層 25 を介して帯状素材 45 に接着する。次いで、前記 IC 素子 1 が収納された空間内にポッティング樹脂 31 を充填し、IC 素子 1 が設定された帯状部材 41、45 の接合体を得る。最後に、この接合体を所定の形状に切断して、第 5 構成例に係る情報担体 20e を得る。本例の情報担体製造方法も、第 1 例に係る情報担体製造方法と同様の効果を有する。

【0049】情報担体製造方法の第 6 例は、第 6 構成例に係る情報担体 20f を製造するためのものであって、図 19 に示した 1 枚の帯状素材 42 と図 22 に示した 1 枚の帯状素材 45 を用いる。そして、まず帯状素材 42 に形成されたリング状の凹部 29 内にブースタコイル 28 を収納し、接着剤層 32 を介して当該凹部 29 の底面に接着する。次いで、帯状素材 42 の片面に帯状素材 45 を接着剤層 25 を介して接合し、IC 素子 1 を収納可能な空間を有する帯状部材 42、45 の接合体を得る。次いで、前記空間内に IC 素子 1 を位置決めして収納し、接着剤層 25 を介して帯状素材 45 に接着する。次いで、前記ブースタコイル 28 が収納された凹部 29 内と前記 IC 素子 1 が収納された空間内にポッティング樹脂 31 を充填し、IC 素子 1 及びブースタコイル 28 が設定された帯状部材 42、45 の接合体を得る。最後に、この接合体を所定の形状に切断して、第 6 構成例に係る情報担体 20f を得る。本例の情報担体製造方法も、第 1 例に係る情報担体製造方法と同様の効果を有する。

【0050】情報担体製造方法の第 7 例は、第 7 構成例に係る情報担体 20g を製造するためのものであって、図 20 に示した 1 枚の帯状素材 43 を用いる。そして、まず帯状素材 43 に形成された凹部 30 内に IC 素子 1 を位置決めして収納し、接着剤層 32 を介して当該凹部 30 の底面に接着する。次いで、前記 IC 素子 1 が収納された凹部 30 内にポッティング樹脂 31 を充填し、IC 素子 1 が設定された帯状部材 43 を得る。最後に、この帯状部材 43 を所定の形状に切断して、第 7 構成例に

係る情報担体 20 g を得る。本例の情報担体製造方法も、第 1 例に係る情報担体製造方法と同様の効果を有する。

【0051】情報担体製造方法の第 8 例は、第 8 構成例に係る情報担体 20 h を製造するためのものであって、図 21 に示した 1 枚の帯状素材 44 を用いる。そして、まず帯状素材 44 に形成された第 1 凹部 30 内に IC 素子 1 を位置決めして収納し、接着剤層 32 を介して当該凹部 30 の底面に接着すると共に、当該帯状素材 44 に形成されたリング状の第 2 凹部 29 内にブースタコイル 28 を収納し、接着剤層 32 を介して当該凹部 29 の底面に接着する。次いで、前記 IC 素子 1 が収納された第 1 凹部 30 内及び前記ブースタコイル 28 が収納された第 2 凹部 29 内にポッティング樹脂 31 を充填し、IC 素子 1 及びブースタコイル 28 が設定された帯状部材 43 を得る。最後に、この接合体を所定の形状に切断して、第 8 構成例に係る情報担体 20 h を得る。本例の情報担体製造方法も、第 1 例に係る情報担体製造方法と同様の効果を有する。

【0052】なお、前記第 2、第 4、第 6、第 8 例においては、ブースタコイル 28 を基体 21 と独立の別体に形成したが、基体 21 を構成するいずれかの帯状部材に印刷形成することもできる。

【0053】

【発明の効果】以上説明したように、本発明の IC 素子製造方法は、所定のプロセスを経て作製された完成ウエハの表面保護膜上にアンテナコイルを含む所要の導電パターンを形成した後、当該所要の導電パターンが形成された完成ウエハをスクライビングしてアンテナコイルが一体形成された IC 素子を得るので、個々の IC 素子にアンテナコイルを形成する場合に比べてコイルが一体形成された IC 素子を高能率に製造でき、その製造コストを低減することができる。また、ウエハに形成された全ての IC 素子に対して均一な厚みのアンテナコイルを高精度に形成することが可能になるので、通信特性のばらつきを少なくすることができる。さらに、完成ウエハの外周部は不要部分として処分されるべき部分であるので、導電パターンを形成する工程で完成ウエハの外周部に不要の導体が付着しても、製品である IC 素子の外周部には不要の導体がせず、絶縁性が問題になることもない。

【図面の簡単な説明】

【図 1】本発明に係る方法により製造される IC 素子の平面図である。

【図 2】本発明に係る方法により製造される IC 素子の要部断面図である。

【図 3】完成ウエハの平面図である。

【図 4】本発明に係る IC 素子製造方法の第 1 例を示す

工程図である。

【図 5】本発明に係る IC 素子製造方法の第 2 例を示す工程図である。

【図 6】アンテナコイルを含む所要の導電パターンが形成された完成ウエハの平面図である。

【図 7】第 1 構成例に係る情報担体の一部切断した平面図である。

【図 8】第 1 構成例に係る情報担体の分解斜視図である。

【図 9】第 1 構成例に係る情報担体の断面図である。

【図 10】第 1 構成例に係る情報担体の使用状態の説明図である。

【図 11】第 2 構成例に係る情報担体の断面図である。

【図 12】第 3 構成例に係る情報担体の断面図である。

【図 13】第 4 構成例に係る情報担体の断面図である。

【図 14】第 5 構成例に係る情報担体の断面図である。

【図 15】第 6 構成例に係る情報担体の断面図である。

【図 16】第 7 構成例に係る情報担体の断面図である。

【図 17】第 8 構成例に係る情報担体の断面図である。

【図 18】帯状素材の第 1 例を示す部分斜視図である。

【図 19】帯状素材の第 2 例を示す部分斜視図である。

【図 20】帯状素材の第 3 例を示す部分斜視図である。

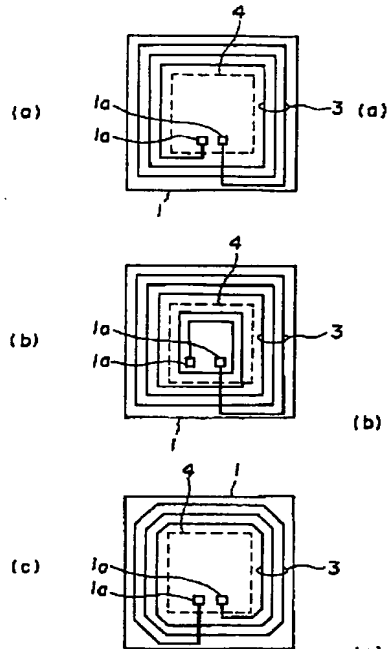
【図 21】帯状素材の第 4 例を示す部分斜視図である。

【図 22】帯状素材の第 5 例を示す部分斜視図である。

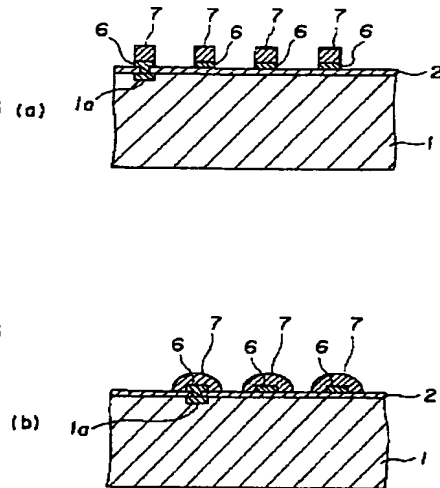
【符号の説明】

- 1 IC 素子
- 2 表面保護膜
- 3 アンテナコイル
- 4 回路形成部
- 5 透孔
- 6 金属スパッタ層又は金属蒸着層
- 7 金属めっき層
- 11 完成ウエハ
- 12 フォトレジスト層
- 13 マスク
- 14 所定波長の光
- 15 電極部
- 16 リード部
- 20 a ~ 20 h 情報担体
- 21 基体
- 22 上部材
- 23 中間部材
- 24 下部材
- 25 接着剤層
- 27 透孔
- 28 ブースタコイル
- 29 凹部
- 41 ~ 45 帯状素材

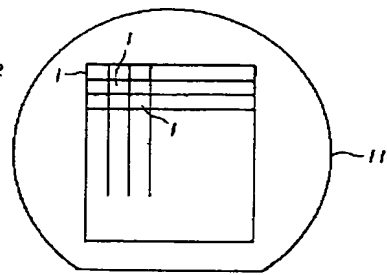
【図1】



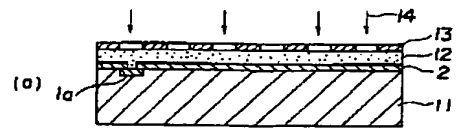
【図2】



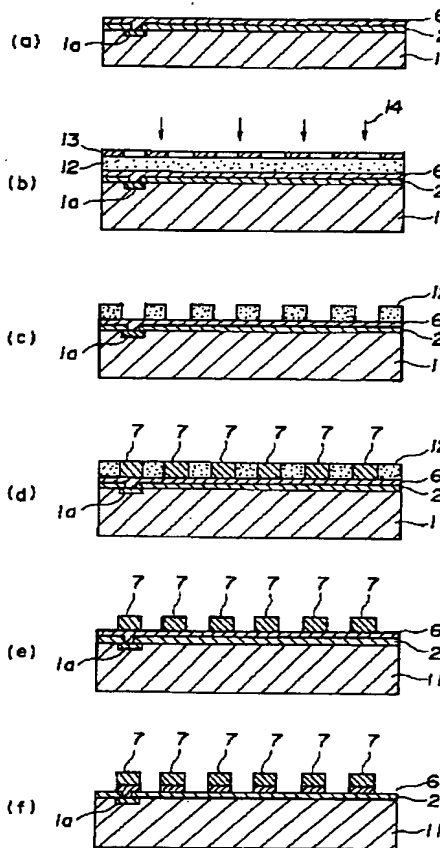
【図3】



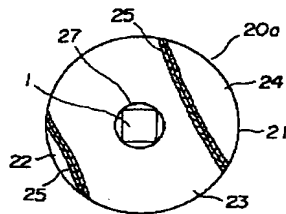
【図5】



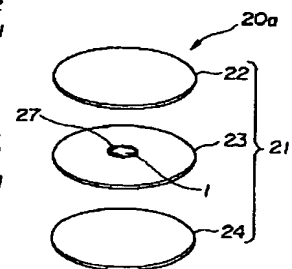
【図4】



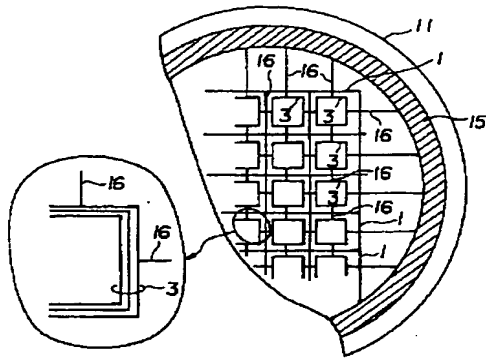
【図7】



【図8】



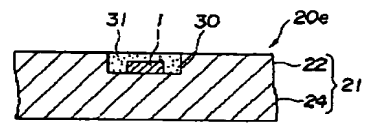
【図6】



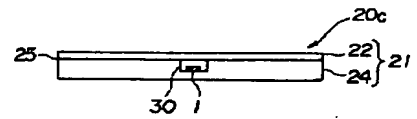
【図9】



【図16】

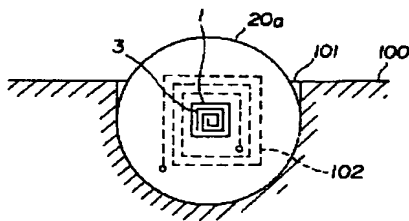


【図12】

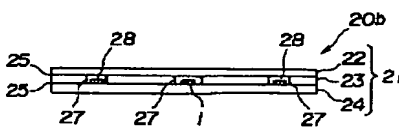


【図13】

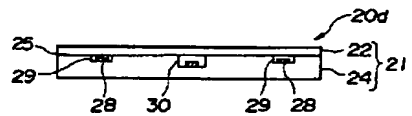
【図10】



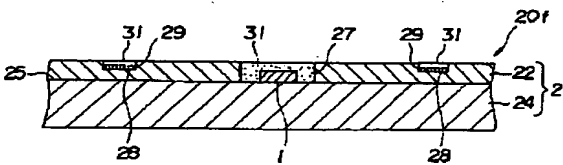
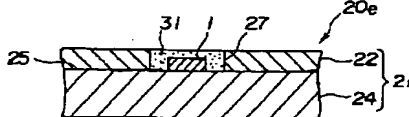
【図11】



【図15】

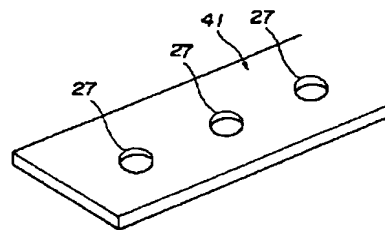
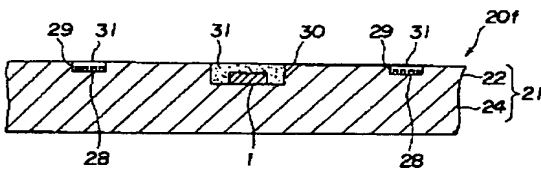


【図14】

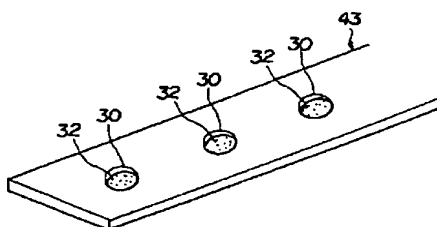


【図18】

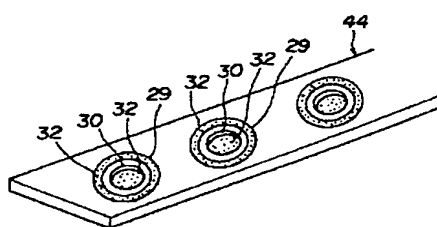
【図17】



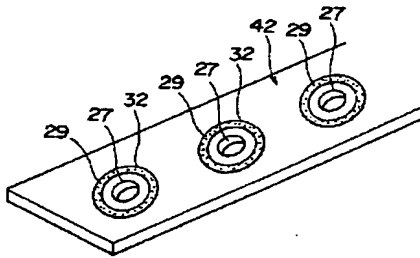
【図20】



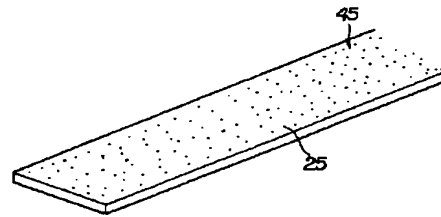
【図21】



【図 1 9】



【図 2 2】



フロントページの続き

(51) Int. Cl. ⁷

H 0 1 Q 1/38
7/00
23/00

識別記号

F I

G 0 6 K 19/00

テーマコード (参考)

H
K

F ターム (参考) 5B035 AA07 BA05 BB09 CA02 CA23
5F038 AZ04 EZ04 EZ19 EZ20
5J021 AA01 AB04 FA29 HA05 HA10
JA07 JA08
5J046 AA03 AA07 AA08 AA10 AA13
AB11 PA06 PA07